



b-146016/06



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 84481 호
Application Number PATENT-2001-0084481

출원년월일 : 2001년 12월 24일
Date of Application DEC 24, 2001

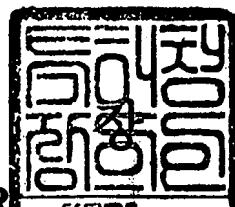
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

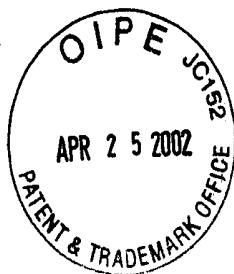


2002 년 03 월 04 일

특 허 청

COMMISSIONER





#4

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Jong-Hong BAE

Serial No.: 10/043,290 Group Art Unit: Not Yet Assigned

Filed: January 14, 2002 Examiner: Not Yet Assigned

Confirmation No.: 4722

Title: APPARATUS FOR PROTECTING CODE ROM DATA IN CODE ROM TEST

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. § 119

Honorable Commissioner for Patents
Washington, D.C. 20231

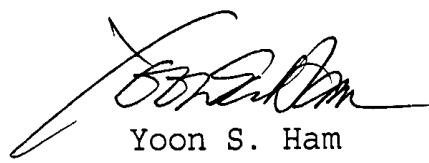
April 25, 2002

Sir:

The benefit of the filing date of prior foreign application No. 2001-84481 filed in Korea on December 24, 2001, is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,



Yoon S. Ham
Reg. No. 45,307

JACOBSON HOLMAN, PLLC
400 Seventh Street, N.W.
Washington, D.C. 20004-3301

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0008		
【제출일자】	2001.12.24		
【발명의 명칭】	코드 룸의 테스트시 데이터를 보호하기 위한 장치		
【발명의 영문명칭】	System for protecting data of code ROM in code ROM tes		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	배종홍		
【성명의 영문표기】	BAE, Jong Hong		
【주민등록번호】	660915-1682911		
【우편번호】	143-210		
【주소】	서울특별시 광진구 광장동 577 현대파크빌 1004-904		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 (인)		
【수수료】			
【기본출원료】	19	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	17	항	653,000 원
【합계】	682,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 마이크로 컨트롤러에 내장되는 코드 룸의 데이터를 암호를 모르는 제3자가 쉽게 외부로 누출할 수 없으며, 또한 외부로 누출되더라도 역시 암호를 모르는 제3자가 이를 도용하지 못하도록 하기 위한 장치를 제공하고자 하는 것으로서, 이를 위한 본 발명은 코드 룸에서 출력되는 데이터를 보호하기 위한 장치에 있어서, 상기 코드 룸에서 출력되는 데이터를 암호화하여 전달하는 제1암호화수단; 읽기인에이블신호를 생성하기 위한 제2암호화수단; 및 상기 제2암호화수단으로부터 출력되는 읽기인에이블신호에 응답하여 상기 제1암호화수단으로부터 출력된 암호화 데이터를 외부로 덤프하기 위한 출력수단을 포함하여 이루어진 것을 특징으로 한다.

【대표도】

도 1

【색인어】

마이크로 컨트롤러, 코드 룸, 암호화, MISR

【명세서】**【발명의 명칭】**

코드 룸의 테스트시 데이터를 보호하기 위한 장치{System for protecting data of code ROM in code ROM test}

【도면의 간단한 설명】

도 1은 본 발명의 코드 룸 데이터 보호장치를 보여주는 블록 구성도,

도 2는 본 발명에 따른 상기 도 1의 제어스테이트머신부에 대한 내부 구성도,

도 3은 본 발명에 따른 상기 도 1의 MISR부를 구현한 일실시 회로도.

* 도면의 주요 부분에 대한 부호의 설명

100 : 코드 룸

200 : 제1암호화부

300 : 제2암호화부

400: 출력부

220, 340 : MISR부

240, 360 : 트랜지스터

320 : 제어스테이트머신

380 : 비교부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 마이크로 컨트롤러(MCU : Microcontrol Unit)에 내장된 코드 룸(Code ROM)의 테스트시 상기 코드 룸의 데이터가 필드(field)에서 쉽게 읽혀지고 도용되는 것을 보호하기 위한 장치 및 방법에 관한 것이다.

<10> 반도체 기술의 발전으로 단위 면적당 집적되는 소자의 갯수가 증가하고 있으며, 이러한 집적도의 향상으로 마이크로 컨트롤러 내부에 다량의 코드 룸을 내장하는 경우가 많아지고 있다.

<11> 그리고, 이러한 코드 룸의 크기는 시스템이 점차로 복잡해지고 사용자들의 프로그램의 크기가 커짐에 따라 점차 증가하는 추세에 있다.

<12> 한편, 상기 마이크로 컨트롤러의 내장된 코드 룸의 테스트 등 특정 목적을 위해서 코드 룸의 데이터를 외부로 덤프(dump)할 경우가 발생되며, 이 경우에 상기 코드 룸의 데이터는 외부로 유출되어 도용될 가능성이 매우 크다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 제안된 것으로서, 마이크로 컨트롤러의 코드 룸의 데이터를 암호를 모르는 제3자가 쉽게 외부로 누출할 수 없으며,

또한 외부로 누출되더라도 역시 암호를 모르는 제3자가 이를 도용하지 못하도록 하기 위한 장치 및 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<14> 상기 목적을 달성하기 위한 본 발명은, 코드 룸에서 출력되는 데이터를 보호하기 위한 장치에 있어서, 상기 코드 룸에서 출력되는 데이터를 암호화하여 전달하는 제1암호화수단; 읽기인에이블신호를 생성하기 위한 제2암호화수단; 및 상기 제2암호화수단으로부터 출력되는 읽기인에이블신호에 응답하여 상기 제1암호화수단으로부터 출력된 암호화 데이터를 외부로 덤프하기 위한 출력수단을 포함하여 이루어진 것을 특징으로 한다.

<15> 또한 본 발명은 코드 룸에서 출력되는 데이터를 보호하기 위한 장치에 있어서, 상기 코드 룸에서 출력되는 데이터를 암호화하여 전달하는 제1암호화수단; 읽기인에이블신호를 생성하기 위한 제2암호화수단; 랜덤 패턴 생성 수단; 및 상기 읽기인에이블신호, 상기 암호화 데이터 및 상기 랜덤 패턴을 논리조합하여 외부로 덤프하는 출력수단을 포함하여 이루어진 것을 특징으로 한다.

<16> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<17> 도 1은 소정의 테스트시 코드 룸의 데이터가 제3자에 의해 쉽게 유출 및 도용되는 것을 보호하기 위한 본 발명의 코드 룸 데이터 보호장치를 보여주는 블록 구성도이다.

<18> 도 1을 참조하면, 코드 룸(100)은 어드레스(ADDR) 및 인에이블신호(ROMRead)에 응답하여 데이터를 출력하기 시작한다. 본 발명의 코드 룸 데이터 보호장치는 상기 코드 룸(100)에서 출력되는 데이터(ROMData)를 암호화하여 전달하는 제1암호화부(200)와, 읽기인에이블신호(ROMReadEn)를 생성하기 위한 제2암호화부(300), 및 상기 제2암호화부(300)으로부터 출력되는 읽기인에이블신호(ROMReadEn)에 응답하여 상기 제1암호화부(200)으로부터 출력된 암호화 데이터를 외부로 덤프하기 위한 출력부(400)로 구성되어 있다.

<19> 제1암호화부(200)은 코드 룸(100)에서 출력되는 데이터를 클럭(CLK)에 동기되어 입력 받아 압축하는 MISR(Multiple Input Signature Analysis Register, 이하 "MISR"이라 한다)부(220)와, 테스트인에이블신호(TestEn) 및 리셋신호(Reset)에 응답하여 상기 MISR부(220)에 초기값(MisrInitVec2)을 제공하는 트랜지스터(240)로 구성되어 있다.

<20> 제2암호화부(300)는 테스트인에이블신호(TestEn)와 클럭신호(CLK)에 응답하여 룸 테스트 동작에 위한 제어신호(MisrEn)를 생성하는 제어스테이트머신부(320)와, 제어신호(MisrEn)에 응답하여 상기 클럭신호(CLK)에 동기되어 암호데이터(LD)를 입력 받아 압축하여 출력하는 MISR부(340)와, 테스트인에이블신호(TestEn) 및 리셋신호(Reset)에 응답하여 상기 MISR부(340)에 초기값(MisrInitVec1)을 제공하는 트랜지스터(360)와, MISR부(340)로부터 출력되는 값을 기대값(MisrEnd)과 비교하여 읽기인에이블신호(ROMReadEn)를 출력하는 비교부(380)로 구성된다. 상기 기대값(MisrEnd)은 상기 초기값(MisrInitVec1)과 상기 암호데이터(LD)를 인지한 상태에서 상기 MISR부(340)와 동일한 방식에 의해 생성된 값으로서, 외부의 특정 레지스터에 저장되어 있다가 출력된 값이다.

<21> 출력부(400)는 제1암호화부(200)로부터 출력되는 암호화 데이터와 읽기인에이블신호(ROMReadEn)를 입력받는 논리곱게이트로 실시 구성되어 있다.

<22> MISR부(340)는 테스트인에이블신호(TestEn)와 리셋신호(Reset)가 동시에 "1"로 인에이블되었을 때 초기값(MisrInitVec1)으로 초기화된다. 그리고, MISR부(340)는 제어스테이트머신부(320)로부터 출력되는 제어신호(MisrEn)가 "1"로 인에이블된 동안에 클럭신호(CLK)에 응답하여 암호데이터(LD)를 입력받아 압축하여 출력한다.

<23> 계속해서, 비교부(380)에서 압축한 값과 기대값(MisrEnd)을 비교하여 일치하는 경우에만 읽기인에이블신호(ROMReadEn)를 "1"로 인에이블하여 출력한다. 인에이블된 "1"의 읽기인에이블신호(ROMReadEn)는 출력부(400)를 구성하고 있는 논리곱게이트의 일입력단으로 인가되어 제1암호화부(200)로부터 출력되는 코드 룸(100)의 암화화 된 데이터를 그대로 출력한다. 즉, "1"의 읽기인에이블신호(ROMReadEn)에 의해 보호 기능이 해제되어 룸 데이터(ROMData)를 그대로 외부로 덤프한다.

<24> 만약, 비교부(380)에서 압축한 값과 기대값(MisrEnd)을 비교하여 일치하지 않는 경우에는 읽기인에이블신호(ROMReadEn)가 "0"로 디스에이블되어, 출력부(400)의 출력은 무조건 "0"이 되므로써, 제1암호화부(200)로부터 출력되는 코드 룸(100)의 암화화 된 데이터는 외부에 노출되지 않게 된다.

<25> 한편, 설령 노출된다 하더라도 노출된 코드 룸의 데이터 역시 암호화되어 있으므로 제3자에 의한 도용을 막을 수 있다.

<26> 도 2는 본 발명에 따른 상기 도 1의 제어스테이트머신부(320)에 대한 내부 구성도로서, 다수의 내부 스테이트(SR, S1, SN, SW)로 이루어지는 바, 암호데이터(LD)의 데이터 개수만큼의 내부 스테이트를 구비한다.

<27> 리셋신호(Reset)에 응답하여 제어스테이트머신부(320)가 초기화되면 SR 스테이트로 천이되고, N개의 암호데이터(LD)를 입력받을 경우에는 클럭신호(CLK)에 응답하여 순차적으로 S1, S2, … SN 스테이트로 천이되어 최종적으로 SW 스테이트에 머무르게 된다. 이때, SW 스테이트에서는 제어신호(MisrEN)가 "0"으로 디스에이블되고 그 이외의 스테이트에서는 "1"로 인에이블된다.

<28> 도 3은 본 발명에 따른 상기 도 1의 MISR부(340)를 구현한 일실시 회로도로서, 16비트 MISR 회로를 구현한 것이다.

<29> 도 3을 참조하면, 16비트 MISR부는 쉬프트 레지스터 형태로 구성되는 16개의 MISR 단위 셀(S1 내지 S16) 및, 16비트 원시 다항식(primitive polynomial, $(h(s) = X^{16} + X^5 + X^3 + X^2 + 1)$)에 따라 16번째 MISR 단위 셀(S16), 5번째 MISR 단위 셀(S5), 3번째 MISR 단위 셀(S3), 2번째 MISR 단위 셀(S2)로부터 각각 출력되는 데이터를 입력받아 배타적논리합하는 배타적 논리합 게이트(XOR)를 구비한다.

<30> MISR 단위 셀(S1 내지 S16)은 직렬 연결되어 구성되며, 1번째 MISR 단위 셀(S1)은 배타적 논리합 게이트(XOR)의 출력 신호를 입력받는다. 여기서, 16개의 MISR 단위 셀 각각은 16비트 원시 다항식의 각 항에 대응된다.

<31> MISR 단위 셀은 암호데이터(LD)와 이전 단계의 MISR 단위 셀에 저장된 데이터(SD)를 입력받아 배타적 논리합하는 배타적논리합게이트(341)와, 제어신호(MisrEN)에 응답하여 배타적논리합게이트(341)의 출력 및 셀에 저장된 데이터(Q)를 선택적으로 출력하는 멀티플렉서(342), 클럭신호(MisrCLK)에 응답하여 멀티플렉서(342)로부터의 출력을 그다음 단

계의 MISR 단위 셀로 출력하는 플립플롭(343)으로 이루어진다. 상기 플립플롭(343)은 초기값(MisrInitVec1)으로 초기화 된다.

<32> 도 3의 동작을 살펴본다. 암호데이터(LD)와 초기값(MisrInitVec1)은 16비트 신호이고, 초기값은 FFFFH(16 진수)이고, 암호 데이터는 0000F(16 진수)이고, 제어스테이트머신부(320)는 3단계의 상태 천이만을 하며, 제어신호(MisrEn)는 항상 하이 레벨이라고 가정한다.

<33> 각각의 MISR 단위 셀(S1~S16)은 암호데이터(LD)가 로우 레벨이면 이전 단계의 데이터(SD)를 멀티플렉서(342)로 출력하며, 제어신호(MisrEn)는 항상 하이 레벨이라고 가정하였으므로 상기 배타적논리합게이트(341)의 출력을 플립플롭(343)의 입력으로 하여 플립플롭(343)의 출력이 이전 단계의 데이터(SD)가 되도록 한다.

<34> 모든 MISR 단위 셀(S1~S16)의 출력 데이터가 FFFFH이므로, 배타적논리합게이트(341)는 로우 레벨을 출력하게되어 첫번째 스테이트의 출력값은 "0111111111111111"과 같이 산출된다.

<35> 이어서, 상기 첫번째 스테이트의 출력중 2, 3, 5, 16번째 MISR 단위 셀(S2, S3, S5, S16)의 출력값은 첫번째 MISR 단위 셀(S1)로 입력되어 16번째 MISR 단위 셀(S16)로 쉬프트 한다.

<36> 상기 첫번째 스테이트의 출력이 "0111111111111111"이므로 첫번째 스테이트의 출력값중 2, 3, 5, 16번째 MISR 단위 셀(S2, S3, S5, S16)의 출력값이 모두 "1"이 되어 배타적논리합게이트(XOR)의 출력은 "0"이 되므로, 두번째 스테이트의 출력

은 "0011111111111111"이 되고, 상기 두번째 스테이트의 출력값중 2, 3, 5, 16번째 출력값중 2번째 출력값이 "0"이므로 배타적논리합게이트(XOR)의 출력이 "1"이 되어, 세번째 스테이트의 출력은 "1001111111111111"가 된다.

<37> 따라서, 상기 세번째 스테이트의 출력값 "1001111111111111"이 비교부로 입력되게 된다.

<38> 본 발명의 다른 일실시예로서, 비교기(380)로부터 출력되는 읽기인에이블신호(ROMReadEn)가 디스에이블되었을경우 외부로 출력되는 데이터(OutData)를 "0"으로 출력하는 대신에, 랜덤 패턴 생성부를 별도로 두고, 배타적논리합게이트 등의 논리 조합 회로를 통해 생성한 랜덤 패턴, 읽기인에이블신호(ROMReadEn) 및 제1암호화부(200)로부터 출력되는 암호화된 데이터를 논리 조합하여 출력함으로써 해독을 더욱 어렵게 할 수 있다.

<39> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

【발명의 효과】

<40> 본 발명은 상기한 바와 같이, 마이크로 컨트롤러에 내장된 코드 룸의 내용을 도용하기 어렵게 할 수 있다.

【특허청구범위】**【청구항 1】**

코드 룸에서 출력되는 데이터를 보호하기 위한 장치에 있어서,

상기 코드 룸에서 출력되는 데이터를 암호화하여 전달하는 제1암호화수단;

읽기인에이블신호를 생성하기 위한 제2암호화수단; 및

상기 제2암호화수단으로부터 출력되는 읽기인에이블신호에 응답하여 상기 제1암호화수단으로부터 출력된 암호화 데이터를 외부로 덤프하기 위한 출력수단

을 포함하여 이루어진 코드 룸의 데이터 보호 장치.

【청구항 2】

제1항에 있어서,

상기 제1암호화수단은,

상기 코드 룸에서 출력되는 데이터를 클럭에 동기되어 입력받아 압축하는 MISR부;

및

테스트인에이블신호 및 리셋신호에 응답하여 상기 MISR부에 초기값을 제공하는 초기화수단을 포함하는 것을 특징으로 하는 코드 룸의 데이터 보호장치.

【청구항 3】

제2항에 있어서,

상기 초기화수단은 상기 테스트인에이블신호 및 상기 리셋신호가 모두 인에이블될 때 상기 MISR부에 상기 초기값을 제공하는 트랜지스터를 포함하는 것을 특징으로 하는 코드 루프의 데이터 보호 장치.

【청구항 4】

제1항에 있어서,

상기 제2암호화수단은,

테스트인에이블신호와 클럭신호에 응답하여 루프 테스트 동작에 위한 제어신호를 생성하는 제어스테이트머신부;

상기 제어신호에 응답하여 상기 클럭신호에 동기되어 암호데이터를 입력 받아 압축하여 출력하는 MISR부;

테스트인에이블신호 및 리셋신호에 응답하여 상기 MISR부에 초기값을 제공하는 초기화수단;

상기 MISR부로부터 출력되는 값을 기대값과 비교하여 상기 읽기인에이블신호를 출력하는 비교수단을 포함하여 이루어짐을 특징으로 하는 코드 루프의 데이터 보호장치.

【청구항 5】

제4항에 있어서,

상기 기대값은 상기 초기값과 상기 암호데이터를 인지한 상태에서 생성된 값임을 특징으로 하는 코드 루프의 데이터 보호 장치.

【청구항 6】

제4항에 있어서,

상기 제어 스테이트 머신부는,

초기화 스테이트, 종료스테이트 및 다수의 내부 스테이트로 이루어져,

리셋신호에 응답하여 초기화스테이트로 천이하고, 상기 테스트인에이블신호 및 상기 클럭신호에 응답하여 상기 다수의 내부 스테이트로 순차적으로 천이하며, 상기 다수의 내부 스테이트 중 최종 내부 스테이트에서 상기 종료 스테이트로 최종 천이하여,

상기 초기화 스테이트 및 상기 다수의 내부 스테이트에서 인에이블된 상기 제어신호를 출력하고,

상기 최종 스테이트에서 디스에이블된 상기 제어신호를 출력하는 것을 특징으로 하는 코드 룸의 데이터 보호 장치.

【청구항 7】

제4항에 있어서,

상기 제어 스테이트 머신부는 상기 암호데이터의 데이터 개수만큼의 상기 내부 스테이트를 구비하는 것을 특징으로 하는 코드 룸의 데이터 보호 장치.

【청구항 8】

제4항에 있어서,

상기 비교수단은 상기 MISR부로부터 출력되는 상기 압축 결과값과 상기 기대값이 동일한 경우에 인에이블된 상기 읽기인에이블신호를 출력하는 것을 특징으로 하는 코드 루م의 데이터 보호장치.

【청구항 9】

제4항에 있어서,

상기 초기화수단은 상기 테스트인에이블신호 및 상기 리셋신호가 모두 인에이블될 때 상기 MISR부에 상기 초기값을 제공하는 트랜지스터를 포함하는 것을 특징으로 하는 코드 루م의 데이터 보호 장치.

【청구항 10】

제4항에 있어서,

상기 출력수단은 상기 제1암호화수단으로부터 출력되는 암호화 데이터와 상기 읽기 인에이블신호를 입력받아 논리곱하기 위한 논리곱수단을 포함하는 것을 특징으로 하는 코드 루م의 데이터 보호장치.

【청구항 11】

코드 루m에서 출력되는 데이터를 보호하기 위한 장치에 있어서,

상기 코드 루m에서 출력되는 데이터를 암호화하여 전달하는 제1암호화수단;

읽기인에이블신호를 생성하기 위한 제2암호화수단;

랜덤 패턴 생성 수단; 및

상기 읽기인에이블신호, 상기 암호화 데이터 및 상기 랜덤 패턴을 논리조합하여 외부로 텀프하는 출력수단

을 포함하여 이루어진 코드 롬의 데이터 보호 장치.

【청구항 12】

제11항에 있어서,

상기 제1암호화수단은,

상기 코드 롬에서 출력되는 데이터를 클럭에 동기되어 입력받아 압축하는 MISR부;

및

테스트인에이블신호 및 리셋신호에 응답하여 상기 MISR부에 초기값을 제공하는 초기화수단을 포함하는 것을 특징으로 하는 코드 롬의 데이터 보호장치.

【청구항 13】

제11항에 있어서,

상기 제2암호화수단은,

테스트인에이블신호와 클럭신호에 응답하여 롬 테스트 동작에 위한 제어신호를 생성하는 제어스테이트머신부;

상기 제어신호에 응답하여 상기 클럭신호에 동기되어 암호데이터를 입력받아 압축하여 출력하는 MISR부;

테스트인에이블신호 및 리셋신호에 응답하여 상기 MISR부에 초기값을 제공하는 초기화수단;

상기 MISR부로부터 출력되는 값을 기대값과 비교하여 상기 읽기인에이블신호를 출력하는 비교수단을 포함하여 이루어짐을 특징으로 하는 코드 루프의 데이터 보호장치.

【청구항 14】

제13항에 있어서,

상기 기대값은 상기 초기값과 상기 암호데이터를 인지한 상태에서 생성된 값임을 특징으로 하는 코드 루프의 데이터 보호 장치.

【청구항 15】

제13항에 있어서,

상기 제어 스테이트 머신부는,

초기화 스테이트, 종료스테이트 및 다수의 내부 스테이트로 이루어져,

리셋신호에 응답하여 초기화스테이트로 천이하고, 상기 테스트인에이블신호 및 상기 클럭신호에 응답하여 상기 다수의 내부 스테이트로 순차적으로 천이하며, 상기 다수의 내부 스테이트 중 최종 내부 스테이트에서 상기 종료 스테이트로 최종 천이하여,

상기 초기화 스테이트 및 상기 다수의 내부 스테이트에서 인에이블된 상기 제어신호를 출력하고,

상기 최종 스테이트에서 디스에이블된 상기 제어신호를 출력하는 것을 특징으로 하는 코드 룸의 데이터 보호 장치.

【청구항 16】

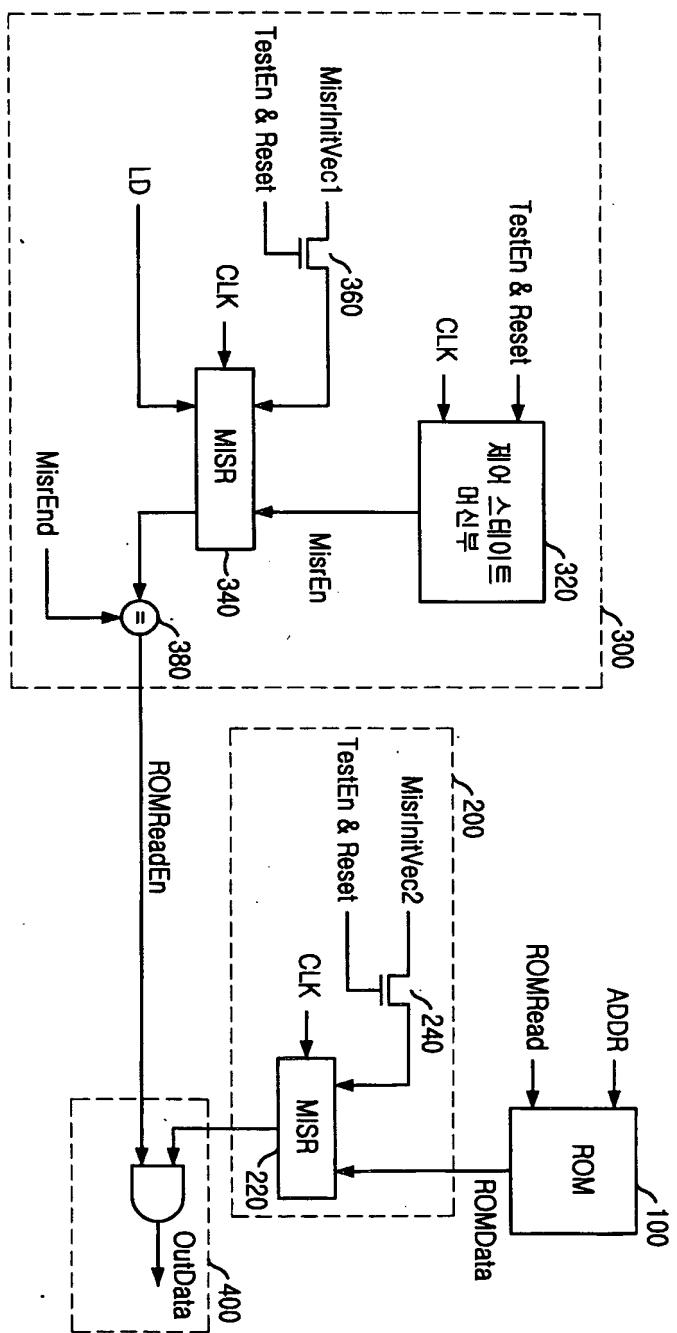
제13항에 있어서,
상기 제어 스테이트 머신부는 상기 암호데이터의 데이터 개수만큼의 상기 내부 스테이트를 구비하는 것을 특징으로 하는 코드 룸의 데이터 보호 장치.

【청구항 17】

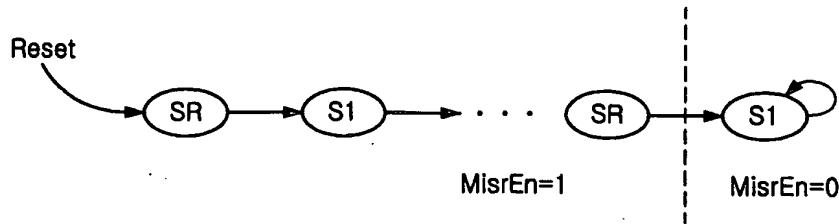
제13항에 있어서,
상기 비교수단은 상기 MISR부로부터 출력되는 상기 압축 결과값과 상기 기대값이 동일한 경우에 인에이블된 상기 읽기인에이블신호를 출력하는 것을 특징으로 하는 코드 룸의 데이터 보호장치.

【도면】

【도 1】



【도 2】



【도 3】

